PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2000-131393

(43) Date of publication of application: 12.05.2000

(51)Int.CI.

GO1R 31/28 GO1R 31/02

GO1R 31/26

(21)Application number: 10-304560

(71)Applicant: OKI ELECTRIC IND CO LTD

(22)Date of filing:

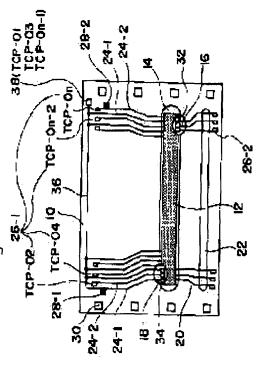
26.10.1998

(72)Inventor: SUGANO HIROMASA

(54) CIRCUIT AND METHOD FOR TESTING DRIVER IC

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of pads for tests on the output side of a driver IC, to enable highly accurate needle contact with the pads for tests, and to improve the yields of products. SOLUTION: As for the arrangement of pads for tests, pads (26–1 and 38) for tests are divided so as to correspond to internal circuits in odd ordinal numbers and internal circuits in even ordinal numbers according to the arrangement order of the internal circuits part 5. The pads for tests provided in correspondence with either the internal circuits in odd ordinal numbers or the internal circuits in even ordinal numbers are commonly connected, and the internal circuits and output pads are made electrically separable. Test information is supplied for the internal circuits of a driver IC 12 from the outside, and the internal circuits and the output pads are electrically connected at the time of a test to test the state of connection between the input and output pads on the basis of the state of signals outputted form the pads for tests connected to the output pads.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

3

(11)特許出顧公開番号

ನಿ

GO1R 31/28 ESSES GO1R 31/28 31/72 31/78		(A3)公職日 平成12年5月12日(2000.5.12) (A3)公職日 平成12年5月12日(2000.5.12) (A3)
---	--	--

(51) Int C.

~

審査請求 未請求 請求項の数2 〇1. (全11頁)

	女		表表页口嵌入
(71) 出版人 000000295 治療法会計	東京都港区建ノ門1丁目7番12号 省野 裕落 東京都港区北ノ門1丁目7番12号 沖縄気	工業株会社内 (74)代理人 100079049 弁理士 中島 淳 (外3名)	
(11) 出國人	(72) 発明者	(74) 代理人	
特 爾平10-304560	平成10年10月26日(1998.10.26)		·
(21)出國番号	(22) 出版日		

(54)【発明の名称】 ドライバICのテスト回路及びテスト方法

(57) [要約]

【鉄題】 ドライベーこの出力節のテスト用ベッド数を 氏域し、テスト用パッドに対する高精度な針当てを可能 にし、嬰品の歩留りの向上を図る。

狡約し、かつ上記内部同路と出力パッドとの間を相気的 かっ方に対応して設けられたテスト用パッド間を共通に に<u>り</u>種し点価にすると共に、ドライバIC 12の14部回 路にテスト情報を外部より供給し、テスト時に内部同路 【解決手段】 テスト用パッドの観閲を、内部同路の配 列類により合数番目の内部同路と四数番目の内部同路に し、谷教春目の内部同路と偶数番目の内部同路のいずれ と川カペッドとの間を相気的に接続して接出カペッドに 後続されているテスト用パッドから出力される信号状態 対応させてデスト用パッド(26~1、38)を収分け に基づいて人間カバッド間の複雑状態をテストする。

gor, **9ξ** S-40 óι 10-92T)82 20-92T (1-40-92T se-ı

ッドと前記テープキャリアパッケージ上に形成されたテ スト用バッドとが信託テープキャリアバッケージ上にあ **或されたリードバターンにより接続されてなり、前部人** III カバッド間の接続状態をテストするドライバ1 Cのテ 【精氷項1】 テープキャリアパッケージに配置されデ ィメンフィ ディイヌ を駆動する ドライベー Cの人出力 バ 特許指水の範囲】

ストが沈において、

条目の内部回路の向れか、方に対応して設けられたデス ト用パッド間を共通に狡続し、から前記内第回路と出力 前記テスト用パッドの配置を、内部同路の配列順により 4数条件の内部回路と個数参月の内部回路に対応させて アスト用バッドを反分けし、冷敷春目の内部回路と偶数 パッドとの間を電気的に切離し可能にすると共に

前記 ドライバ I Cの内部回路にテスト情報を外部より供 ドから出力される信号状態に基ろいて流記人出力ベッド 給し、テスト時に内部回路と出力パッドとの間を電気的 に接続して該出力パッドに接続されているテスト用パッ 間の接続状態をテストすることを特徴とするドライバ! Cのテストが住。

[請求項2] 安示用ディジタルデータを順次転送する シフト同路及びレジスタ回路からなるシフトレジスタ回 路と、波シフトレジスタ回路の出力を格納するラッチ回 路と、該ラッチ回路に格納された表示用ディジタルデー タをアナログ電圧に変換するD A 変換回路と、嵌D A 変 可路とを備えた内部回路と鞍内部回路の用力電圧を外部 に出力する出力パッドまでを1回路として多数回路を有 しテープキャリアパッケージに配置されたドライバIC であって、前記出カバッドと前記テープキャリアバッケ リアパッケージ上に形成されたリードパターンにより接 **院されてなり、前記川カバッドの接続状態をテストする 換回路の出力をインピーダンス変換するベッファアンブ** 一ジ上に形成されたテスト用バッドとが前記テープキャ ドライバICのテスト回路において、

同路の川力信号と、外部人力のテスト間御信号との職理 前記テスト用パッドの配置を、内部回路の配列順により アスト用パッドを反分けし、布数番目の内部回路と函数 ト田パッド関を共通に接続し、から前記ドライバICの 各内部同路と出力パッドとの間にアナログスイッチを各 b、設け、該アナログスイッチのドライバ I Cテスト時 の動作タイミングを各川カバッドに対応する前記シフト 倒により生成した制御付号により制御することを特徴と 4数年目の内部回路と個数年目の内部回路に対応させて 春月の内部回路の何れか・・ がに対応して敬けられたテス するドライベICのデスト回路。

[発明の詳細な説明]

I Cのテスト回路及びテスト方法に係り、特にドライバ デバイス等のディスプレイデバイスを駆動するドライバ 【発明の属する技術分野】本発明は、液晶ディスプレイ

I Cの人出力パッド間の接続状態をテストするドライバ I Cのテスト同路及びテスト方法に関する。

のアウターリード206、川力園のアウターリード20 【従來の技術】図るに従來の液晶ドライバI CのT a p e Carrior Package (以下, TCPと 記す。) への実装形態を示す。同図において、TCP2 01は、般的なメッキ処理された銅漆、梭巻剤、ベース フィルムの3階構造からなっている。 人力側のインナー リード204、三方室のインナーリード205、人力圏 8及びテスト用バッド209は、それぞれTCP201 上に形成されている。

【0003】ドライバ1C202はテープを穴抜きした デバイスホール203内に配置され、ドライバ1 C20 リード204とが接続され、また出力バッド上の金パン ブ213と出力側のインナーリード205とが接続され ている。人力歯のアウターリード206はテーブを穴抜 きしたホール207を介して凶ぶしてないプリント配線 2の人力パッド上の倒パンプ2 1 2 と人力図のインナー された出版と狡殺される。

【0004】 川力間のアウターリード208はアライメ ントマーク210-1とアライメントマーク210-2 との間のリード箱でが図ぶしたないディメグロイデバイ スとしての液晶パネルと接続される。

【0005】テスト用パッド209は、インナーリード 204、205とドライバ1C202を技械した後にド 状態を検査する時に用い、テスト用パッド209の数は 人間カアウターリード206、208と同数である。デ スト用パッド209は液晶パネルと接続する前に切り取 られる、211はスプロケットホールであり、TCP2 ライバIC202の川カバッドとテストバッド間の接続 0 1 のスプロケット 打向のサイズはスプロケットホール 211間の間隔をW3とし、スプロケットホールの数を nとすると、W3× (n-1) となる。

[0006]以上の構成において、液品パネルの人容量 hyics array) パネルで3072×768画 (K (XGA (extended video grap 薬) に作い、ドライバ1 C 2 0 2 の 1 チップ当たりの(|| り数も増加し、384HI力(XGAパネルの3072画 表方向でドライバ1C202を8個使用)が主流になっ カターリード2080/ビッチ)、60~10 n m保援と てきている。液品パネルとの核機ビッチは (川力間のア 鉄ビッチ化の傾向にある。

アウターリード208のビッチは、10μm強が可能で 2) が最大28. 6mmまで可能であるため、現状では [0007] また、TCP201は低コスト化対策とし てテーブ幅 (W1) が35mmのSW (Super W | de) タイプが七に用いられ、有効パターン解核 (W ある。今後、更にドライバ1 C 2 0 2 の多出力化に伴

い、アウターリード208のピッチは更に狭ビッチ化が

 $\widehat{\Xi}$

特開平12-131393

進み、インナーリード端Tとドライバ1C2020会バ 0.9も同様に、後ピッチ化と多パッド化に対応する必要 ンプとの接続状態を依食する時に用いるテストパッド2

【0008】現在、核殻状態(ドライバ1 Cの人間カバ ッド部のオーブン/ショート)の徴点方法としてはデス トパッド209にプローブカードに搭載された做細な針 か当てて、相気的に接続をとり、I Gデスタにより接続 状態をテストしていた。

[6000]

を不良品として判定し歩留りが低ドするという問題が有 【発明が解決しようとする獣閨】従来のドライバI Cの により、テスト用パッドに対し高精度なプローブの針当 てが非常に困難になり、プローブ用の針とデスト用パッ ドとの電気的な接続不良が発生し、良品のドライバ1 C に作うテスト用バッドの狭ビッチ化 (60~10μm) **敵食方法では、ドライバICの多用力化(384間力)**

が、TCPのスプロケットが向のサイズが整加する可能 ものであり、TCPのコストを上昇させることなく、ド ト用パッドに対する直替度な針当てを可能にし製品の歩 【0010】また、テスト用バッドの鉄ビッチ化を回避 するためにテスト用バッドを多段に範囲する方法もある 性があり、TCPのスプロケットが向のサイズの増加に 【0011】本発明はこのような事情に鑑みてなされた ライバICの出力側のテスト用パッド数を低減し、テス 留りの向上を図ったドライバI Cのテスト回路及びテス 伴い、TCPのコストが上昇するという問題が有った。 トガ法を提供することを目的とする。

[0012]

国教者目の内部回路に対応させてデスト用パッドを区分 接続し、から近記内部回路と用カバッドとの関を相気的 なり、前記人川カバッド間の接続状態をテストするドラ に炒癖し山能にすると共に、近記ドライバI Cの内部回 路にテスト情報を外部より供給し、テスト時に内部同路 【概題を解決するための手段】上記目的を遊成するため **に積水項1に記載の発明は、テーブキャリアパッケージ** に配置されディスプレイデバイスを駆動するドライバ! Cの人間力パッドと前紀テープキャリアパッケージ上に 形成されたテスト用パッドとが追記テープキャリアパッ ケージ上に形成されたリードパターンにより接続されて イバICのテストが拉において、道部テスト用パッドの **見限を、内部回路の紀列順により 4数番目の内部回路と** けし、心教毎月の内部回路と四教帝日の内部回路の何れ かっ方に対応して役けられたテスト用バッド間を共通に と出力パッドとの間を匍匐的に接続して装用力パッドに 接続されているテスト用パッドから川力される信号状態 に基づいて前記入出力パッド間の按模状態をデストする 【0013】 請求項1に記載の発明によれば、ドライバ

【0014】また請水項1に記載の発明によれば、テス I Cの内部回路と出力パッドとの間を電気的に切離し可 龍にしたので、ドライバI CとT C Pとの間の接続状態 ト用パッドの創聞を、内部同路の配列順によりお数番目 2)仏部回路と函数番目の2人部回路に対応させてデスト用 パッドを以分けし、冷数番目の内部回路と個数番目の内 部回路の何れか、方に対応して設けられたデスト用パッ ド間を共通に接続するようにしたので、TCPのサイズ を増加することなく、すなわちTCPのコストの上発を Bくことなく、テスト用バッド数を低減でき、それ故製 品組立後の後在時のテスト用パッドに対するプロープ用 針の針当て精度の向上が図れ、故際ミスを低減でき、嬰 を開訪な手法でテストすることが可能となる。 品の歩留りの向上が図れる。

出力を格納するラッチ回路と、該ラッチ回路に格納され フト同路の出力信号と、外部人力のテスト制御信号との **ルデータを順改転送するシフト回路及びレジスタ回路か** らなるシフトレジスタ回路と、波シフトレジスタ回路の こ表示用ディジタルデータをアナログ配用に変換するD 変換するバッファアンプ回路とを備えた内部回路と該内 ープキャリアパッケージ上に形成されたテスト用パッド ドバターンにより接続されてなり、前記川力パッドの接 間数番目の内部同路の何れか、方に対応した設けられた 倫理積により生成した制御信号により制御することを特 部同路の川方電圧を外部に川方する田方パッドまでをし 回路として多数回路を有しテープキャリアパッケージに とが前記デープキャリアバッケージ上に形成されたリー て、前記テスト用パッドの配置を、内部回路の配列順に よりお教番目の内部回路と偶数番目の内部回路に対応さ アスト用パッド間を共通に接続し、かつ崩記ドライバI Cの各内部回路と出力パッドとの間にアナログスイッチ を含々、設け、該アナログスイッチのドライバI Cテス ト時の動作タイミングを各出力バッドに対応する流記シ 【0015】請水頂2に記載の発明は、設水用ディジタ A 変換回路と、嵌DA変換回路のH力をインピーダンス 配属されたドライバI Cでもって、出力パッドと前記テ せたデスト用パッドを区分けし、春数番目の内部回路と 院状態をテストするドライバICのデスト回路におい

めの特別なデコーダ何路が不要となり、低コストのドラ こ記載の発明の効果に加えて、ドライバICの各内部回 回路年にデュードするのに内部回路のシフト回路の川力 各アナログスイッチを特定のタイミングで動作させるた [0016] 請永頃2に記載の発明によれば、請永頃1 アナログスイッチを各々、散け、アナログスイッチを1 路と川カバッドとの間を亀気的に切り離す手段として、 言形(ソフトバルス信号)を採用するようにしたので、 イバ1 Cのテスト回路を実現することができる。

【発明の実施の形態】本発明の実施の形態を図面を参照

が接続されている。人力側のアウターリード20の先端 にはアスト用バッド26-2が改けられている。川力側 のリード端子が液晶パネルと接続される。デストパッド **続され、斎教ライン用のテスト用パッド38に接続され** ている。偶数ラインのアウタリード2 4ー2は図るに示 して詳細に説明する。図1に本発明が適用される液晶ド ライバI CのT CPへの実装形態を示す。同図において ドライバICI2はウエハ状態で正常と判定されたもの である。ドライバIC12はデバイスホール14内に配 聞きれ、ドライバ1C12の人力パッド上の食パンプ3 2と入力側のインナーリード16とが接続され、川力バ ッド上の他パンプ34と出力窗のインナーリード18と メントマーク28~1とアライメントマーク28~2間 部は冷数ラインのアウターリード24-1回士が共通接 のアウターリード24 (24-1, 24-2) はアライ す従来例と同様に各リード毎に設けられたテスト用パッ ド26-1と各々、按続されている。

ラッチ回路部60と、ラッチ回路部60に格納された表 示用ディジタルデータをアナログ電圧に変換するDA変 換回路部70と、DA変換回路部70の出力付号を外部 【0018】次にドライバIC12のテスト回路の構成 を図2に示す。本技施の形態に係るドライバ1C12の テスト回路はドライバI Cの内部回路を利用し、一部の る。 図2において本実施の形態係るドライバIC12の 部50と、シフトレジスタ回路部50の出力を格納する テスト回路は、北ボ用ディジタルデータ(テストデータ または画像データ)を順次転送するシフトレジスタ阿路 同路及び制御信号を付加することにより構成されてい に出力する出力回路部80とを有している。

- nから構成されている。シフト回路52-1の人力端 【0019】シフトレジスタ回路部50は、シフト回路 52-1~52-nと、画像データを取り込むレジスタ 回路56-1~56-nと、職風後回路54-1~54 子D1にはスタート信号STが人力されるようになって おり、シフト回路52-1の川力端子Q1は次段のシフ 1のラッチ端子1.1と、簡理積回路54-1の人力端子 ト回路52~2の人力端子D2と、レジスタ回路56~ T2とに接続されている。

【0020】シフト回路52-2の川力端子Q2は次段 のシフト回路52-3の人力猶TD3と、レジスタ回路 56-2のラッチ端7L2と、輪曳積同路54-2の人 **小端子T2とに接続されている。以下、シフト回路52** - 3~シフト回路52~nも同様に接続されている。

→ n の各人力端子T1は共通接続され、テストモード/i の出力回路80-1~80-nの各々に、接続されてい 人力場子は共通提続され、シフトクロックCPが供給さ れるようになっている。また論理傾向路54-1~54 **月TESTが供給されるようになっている。輸理賛同路** 5 4 - 1 ~ 5 4 - n の各出力端子T 3 は出力回路部 8 0 【0021】シフト回路52-1~52-nのクロック

【0022】レジスタ回路56-1~56-nの人力強 FDil-Dinは共通接続され、これらの人力端子D す)が供給されるようになっている。レジスタ回路56 **火段のラッチ同路部60のラッチ同路60-1~60-**- 1~56~nの間力縮子Do1~Donはそれぞれ、 i 1~Dinには画像データ(以ドテストデータと称 nの人力端子Dil~Dinに接続されている。

(図2ではラッチ同路60-2~60-nについてはラ 子の1~0mからは」それぞれ、テストデータに対応し 【0023】ラッチ同路部60のラッチ回路60-1~ めのラッチ(計号), OADが人力されるようになっている Do1~Donは、次段のDA変換同路部10のDA変 後回路70-1~70-nの人力端了Dil~Dinに 接続されている。出力同路80-1~80-nの出力強 OUT 1~DV~OUT n~川力されるようになってい 60~nの各人力端子しにはデストデータを格納するた 【0024】ラッチ回路60-1~60-nの出力端子 0 — n の引力端子DA 1 ~DA n は出力回路部8 0 の計 たアナログ電圧がドライバ1 C 1 2の川ガバッドD Vー それぞれ、投続されている。DA変換回路70-1~7 7回路80-1~80-nの人力強ア: n1~; nnに ッチ信号LOADが供給れる配線を省略してある。)。

いて説明する。14万回路80-1~80-nは同一構成 す)。図3においてDA変換回路部70におけるDA変 されている。アナログスイッチ回路204-1の他方の 80-2~80-nについても同様にアナログスイッチ 84-2~84-nの他方の端子はドライバ1C12の 【0025】図3を参照して出力回路部80の構成にし であるので、図3では税明の便宜上、川力回路80-1 のみを示している (図3においてシフトレジスタ回路5 0からパッファアンプ回路82-1までを内部回路と称 参回路70-1の出力編7DA1が出力回路80-1内 のパッファアンブ82~1の非反応人力端子に接続され たいる。 バッファアンブ82-10川力端子は反動人力 端子とアナログスイッチ84~1の端子 SWT 1 に抜粋 鑷子SWT 2はドライベI C 1 2の出力バッドDV-O UT1に接続されている。因示していない他の出力同路 |||カバッドDV-OUT2-DV-OUT-に接続され 71.5

UT3, …, DV-OUTn-1) は6数テスト用パッ **【0026】ドライベICI2の各川ルバッドDV-O** UT1 ~ DV - OUT ntTCP100709-9-F を介して、☆数川カバッド (DV−OUT1, DV−O ド38 (TCP-OUT1がDV-OUT1と対応、T OUTnー1がDV-OUTn-1と対応)に共通技能 されており、偶数出力パッド (TCP-OUT 2がDV -OUT2と対応、TCP-OUT4がDV-OUT4 CP-OUT3がDV-OUT3と4時, …, TCP-

9

特開 平12-131393

となら、TCF-OUTnがDV-OUTnと対応)は 人力側のパッドも各リード毎にテストパッド26-2に 2はテスト用の針102と接続され、針102の他端は リード繰104を介して1Cテスタ内の比較器100の - 方の人力猶と接続されている。比較器100の他強に 接続されている。テストパッド38、26-1、26-各リード年にテストパッド26-1と接続されている。 は判定基件値が入力されるようになっている。

を検査するテスト回路の動作状態をいう。 テストモード 時の後位内容は入出力パッド間が亀気的に導通している タで砂査する場合は、プローブカードに搭載された微細 【0021】上記構成からなる本実施の形態に係るドラ 【0028】光ず、上記ドライバIC12を搭載したT CP10のデストモードとはインナーリード16、18 **とドライバ1 C 1 2 の食パンプ 3 2 、 3 4 との按続状態** か、または降後する出力端子間で電気的に短絡している が否かの接続状態を1Cテスタ等で判定する。1Cテス な針をドライバ1 C 1 2の出力限の高数ライン用のテス に当て、人力関も同様にテスト用パッド26-2に針を 当て電気的に接続をとっている。1Cテスタからテスト ト用パッド34と偶数ラインのアスト用パッド26-1 イベICのデスト回路の動作について説明する。

小路子Q 1 からはシフトクロックCPのむち上がりに同 切したほ類TFcpの製酢へイレベル(以下、"11"と 【0029】図4にテスト動作のタイミングを示す。テ アストデータ転送期間はスタート信号STがシフト 同路52-1に人力されると、シフト回路52-1の出 1のラッチ端子1.1に出力される。レジスタ回路5.6ー **通、短約のテストを行う導通/短約後代期間に人別でき** 記す。)となるシフトバルス信号がレジスタ回路56-1はラッチ端子L1が" 11"の期間中にテストデータ、 スト期間は大きくテストデータ転送期間と電気的な導 例えば"の0h"を取込み保持する。

6-2のラッチ増予1.2に出力される。レジスク回路5 【0030】シフト回路52-1の川力端子Q1よりシ シフト回路 5.2 - 1 と同様にシフトクロックCPに回想 シフト回路52-2の川力猶子Q2からレジスタ回路5 6 - 2はラッチ端子1.2が"11"の期間中にテストデー した周期エチcpの期間』H』のシフトパルス信号が、 フトバルス信号がシフト回路52-2に人力された後、 例えば"フドト"を取込み、保持する。

期Tfcpの期間" H"のシフトパルス信号が、図示し ないシフト回路52~4の入力端子D4とレジスタ回路 【0031】シフト回路52-3の出力端子Q3から周

(n-1)の川力端子ロn-1よりシフトバルス信号が 56-3のラッチ増予L3に出力される。レジスタ回路 ータ、例えば"00h"を取込み、保持する。同様に図 **用力される。レジスタ回路56-(n - 1)はラッチ猫** 00h"を取込み、保持する。シフトレジスク回路部5 フトパルス信号が最終段のレジスタ同路56-nのラッ チ端子しnに用力される。レジスタ回路56-nはラッ レジスタ回路36-(n-1)のラッチ猶了1.n-1に 0の最終段のシフト回路52-nの川力端子Gnからシ 5.6 -3はラッチ端子1.3 が"11"の期間中にテストテ 4、保持する。最終段間の図示しないシフト回路52-子しnー」が" 41"の期間中にテストデータ、例えば" 11" 期間中にテストデータ、例えば" 7Fh" を取込 チ端テLnが" H"の期間中にテストデータ、例えば" ポレないレジスタ同路56-4ほラッチ端子L 4が" 7 Fh。を取込み、保持する。

される。 各ラッチ回路60-1~60-nの)勺、 奇数番 【0032】各レジスタ回路56-1~56-nに保持 されたテストデータは、LOAD信号の"H"期間中に b広するラッチ同路60-1~60-n~転送され保持 月のラッチ同路 (1, 3, …, n-1) には、00h" のデストデータが保持され、偶数番目のラッチ回路

むしたアナログ電圧に変換される。"00h"は黒表示 (2, 4, …, n) には"7下ト"のテストデータが保 た" 00h" または" 7Fh" のテストデータはDA変 機同路10-1~10-nに入力後、テストデータに対 持される。各ラッチ回路60-1~60~nに保持され データに対応し、液晶駆動電圧の散火電圧 $(V_{00}=5)$ V) に相当する。

出力は号が得られるか否かで、般的には製品の良否を判

情報(スタート信号ST、シフトクロックCP、テスト モード信号TEST、画像データ幣)をドライバICI 26-1より期待値に相当するテストデータに対応した

2の各信号猫子に入力し、出力側のテストバッド38、

【0033】 -- 方、テストデータ" 7Fh" は中間調表 J回路80-1内のパッファアンプ82-1でインピー (V₀₀=5V)、個数番目の同路(2, 4, …, n)は ナログスイッチ84~1がオン状態になる。以上の動作 **ィデータで黒技ホデータ"00h"と白表ホデータ"F** を生成する。DA変換後の液晶駆動電圧は図3に示す出 ダンス変換されアナログスイッチ84-1の猫子 SWT 1 に人力される。テスト時の各パッファアンプの川力状 態は奇数番目の同路(1, 3, …, n-1)が最大電圧 中間電圧 $(V_{fF}=2.5V)$ を出力している。 川力同路 8 0 - 1 内のアナログスイッチ同路84- 1 をオンノオ フ制御するテスト信号TSは、シフトレジスタ同路部5 0の酷鬼独同路54~1のT1端子に人力するテストモ 一下は号TESTと、シフト回路52-1の川力信号Q との論理積により生成される。テストモード付号TES Tのローレベル (以下、"1"と記す。) となる期間は アナログスイッチ84-1がオフ状態になり、テストモ **一ド信号TESTが" 11" 期間中でシフト回路52-1** をテストデータ転送期間とし、テストモードは号TES F h " との中間に相当し、中間地圧(V 7F= 2. 5 V) の出力信号Qとの論理後出力T3が" H"の期間中はア

ド26~1が、ドライバ1C12のパッファアンブと切 Tを"し"レベルに設定し、全ての論理徴回路54-1 を"し"レベルに固定することにより、全ての川力回路 なりTCP10上の冷数用力パッド38と偶数用力パッ 8 0 - 1 ~ 8 0 - n の各アナログスイッチがオフ状態に ~54~nの出力端子丁3より出力されるテスト信号 り離されて、ハイインピーダンス状態になっている。

1に人力する。シフト回路52-1の出力端子Q1より 11"のシフトバルス信号が、離理性同路54-1の人力 に出力される。テストモード信号TESTもTしcp期 【0034】次に導道/短絡検査期間も、テストデータ 転送期間と同様にスタートは見らてをシフト回路52-過子T2、シフト回路52-2とレジスタ回路56-1 シフトクロックCPに同期した周期Ticpの類間。

間内でテスト期間 (TSI) "II" レベルに設定されて 【0035】 職鬼後回54-10HI/JT3はシフト回路 1の出力Q1とデストモードド号TESTの職鬼積より テスト期間 (TS1) "11" 状態になる。 H力回路80 状態(TS1)になるとオン状態になる。 この時、他の - 1のアナログスイッチ84-1はテスト信号が"11" **輸理徴回路54~1の端子T1に人力される。** アナログスイッチ回路はオフ状態になる。

【0036】アナログスイッチ同路54-1のオン状態 での抵抗(Ron)とオフ状態での抵抗(Roif)比 は例えば104以上とする。 【0037】以上の状態において、専通および短絡検査 はTCP10上に設けられた合数ライン用のデスト用バ ッド38と、回数ラインのテスト用パッド26-1から **一ド線を介してデスタ内の比較器100に入力し、比較** 路100の判定基件電圧値と比較判定する。テスタ内の 比較器100の人力インピータンス (2i) をアナログ スイッチ同路84~1のオフ状態の抵抗(R o f f) と ナログスイッチ84-1がオン状態になり、共通接続さ れた育数ライン用のテスト用パッド38からは図4にポ る。この出力電圧は比較器100に人力されデスタの導 毎判定基準電圧値(1−1)(例えば、2 i /(2 i + Ron) ×5V>4.8Vに設定)と比較後、4.8V 1のドライバ1C12室の出力バッドとTCP10との 間は正常に接続されていると判断される。 この状態でへ イインパーダンス状態にもる良数ウインのデスト田パッ ド26-1からは短約等の不良が無い限りは、ほぼアナ ログ出力電圧 (V7F=2. 5V) の約1/2の電位が出 出力されるアナログ電圧をプローブカードの針およびリ 同程度として説明する。例えば、川力同路80-1のア **すタイミングでアナログ電圧(V00≒5V)が出力され** 以上のアナログ電圧が川力されていれば川力同路80-ば、Zi/ (Zi+Roff) ×2. 5V<2Vに散 力されテスタの短絡判定基準電圧値(2-1)(例え 定)と比較後、2V以下であれば正常と判定される。

格と判定される。川力同路80-1の導通/短路検査が 間"し"レベルに役ぼする。この時、全ての出力回路8 が短路している場合は、選択されている奇数ラインとほ ギ同電位のアナログ電圧(V₀0≒5V)が興数ラインの テスト用バッドT C P - O 2 に出力され、テスタの短終 **判定基準君圧債(2-1)と比較後、2V以上のため短** 正常の場合は、テストモード信号TESTをTof「類 0-1~80-nの各アナログスイッチはオフ状態にな

ト信号の"11"切開中(TS2)オン状態にする。この (Zi+Ron) ×2, 5V>2, 4Vに設定) と比較 は、ほぼアナログ川力電圧(V_{00} =5V)が川力されデ i+Roff)×5V<1、8Vに致治:必数アインの 判定される。例えば、遺仮されている偶数ラインと隣接 する奇数ラインが短絡している場合は、遊択されている スタの短約判定基準電圧値 (2-2) と比較後、4.8 **簡単傾回路54-2の人力端下T2に人力される。デス** 2の端子T1に入力される。隣理領回路54-2の出力 T3ほシフト同路52-2の川力Q2とデストモード信 8-TESTの満理徴よりテスト期間 (TS2) "H" 状 態になり、川力同路80-2のアナログスイッチをテス 時、他のアナログスイッチ回路はオフ状態になる。川力 回路80-2のアナログスイッチがオン状態になり、頭 数ライン用のテスト用パッド26-1からはTCP-0 が出力される。川力電圧は比較器100に入力されテス 後、2、4V以上のアナログ電圧が出力されていれば出 **り回路80-2の1C宮の出力パッドとTCP園は正然** に接続されていると判定される。この状態で奇数ライン スタの包格判定基準値(2-2)(例えば、2;/ (2 アスト用バッド38は共通接続されているためRoff 《ストになる》と比較後、4、8V以上であれば正常と **函数ラインとほぼ同電位のアナログ電圧(Von + 2. 5** 2にホすタイミングでアナログ電圧 (Vyr=2.5V) (TS 5) " 11" レベルに改正なれて整理独回思の4-11"レベルの信号がシフト回路52~2より出力され、 トモード信号工モSTもTicp如間内でテスト期間 のテスト用パッド38からは知格等の不良が無い殴り 【0038】次に、シフトクロックCPに同期した" V)が冷数ラインのテスト用パッド38に出力され、 タの導通判定基準電圧値(1-2)(例えば、2 i /

||| 力同路側は||| 力同路80-2の場合と同様である。以 【0039】旧万同路80-2の禪祖/勉斡檢在が正然 1." レベルに校治する。この時、全ての出力回路80-韓通/短絡検査の判定方法は以下、奇数番目の出力同路 嶌は川力同路80-1の場合と同様であり、偶数番目の ド、同様に輪鬼積回路54-3の出力T3はシフト回路 52~3の出力Q3とテストモード信号TESTの路理 1~80~nの各アナログスイッチはオフ状態になる。 2場合は、テストモード信号TESTをTof「期間」 V以下のため短絡と判定される。

えば、選択されている奇数ラインと隣接する偶数ライン

序開 平12-131393

特開平12-131393

8

9

低よりデスト類間(TS3)。 H" 状態になり、出力回 ミングでアナログ電圧 (V00キ5V) が出力される。同 H" 類関中(TS3)オン状態にする。この時、他のア ナログスイッチはオフ状態になる。出力回路80-3の アナログスイッチがオン状態になり、共通接続された奇 数ライン用のデスト用パッド38からは図4にポポタイ 様に偽教命目の出力同路も論理徴回路54-4の出力 (T3) はシフト回路52~4の出力Q4とテストモー ド信号TESTの論理位よりテスト期間(TS4)" 路80-3のアナログスイッチをテスト信号TSの"

T3もシフト回路52-nの出力Qnとテストモード信 回路80-nのアナログスイッチがオン状態になり、母 が川力される。テスタ内の比較器100の導通判定基準 **和圧候と短格判定基準和圧損はテストモードに対応して** 切り替えるか、それぞれ判定基準電圧値毎に比較器を配 殿することも可能である。判定基準電圧値は該当1 Cの **をテストはおのTSの" 11" 切間中(TS4)オン状態** にする。この時、他のアナログスイッチはオフ状態にな る。111万回路80-4のアナログスイッチがオン状態に なり、偶数ライン用のテスト用バッド26-1からはT 2. 5V) がII/Jされる。以下、最終段頤も同様に論理 (nー1) の川力Qnー」とデストモードは乃丁EST の論理後よりテスト期間 (TSnー1) " 11" 状態にな り、川力同路nー1のアナログスイッチをテスト信号T Sの" 11" 基配中 (TSn-1) オン状態にする。この 時、他のアナログスイッチはオフ状態になる。用力回路 り、共通技能された奇数ライン用のテスト用パッド38 からは図4に示すタイミングでアナログ電圧(Vの45 V) が川力される。最終段の論理積回路54-nの川力 **5.TESTの隣壁後よりテスト期間(TSn)"H"** 状 艦になり、出力回路80-nのアナログスイッチをテス この時、他のアナログスイッチはオフ状態になる。川力 **数ライン用のデスト用パッド26~1からはTCP-O 独同路54ー(n-1)の出力T3はシフト回路52**n にポオタイミングでアナログ配爪(V rr= 2、5 V) CP-O4にポナタイミングでアナログ相圧(Vff= ト信号TSの" 11" 坂間中(TSn) オン状態にする。 80- (n-1) のアナログスイッチがオン状態にな 性能、テスタの性能等で任意に改定可能である。

イベICとTCP間の接続状態を簡易な手法で飲食可能 ド(川力端子)餌を亀気的に切り離すことにより、ドラ 【0041】またTCP上のテストパッド (384III力 /60~10 nmビッチ) を容数パッド側、または個数 パッド回のどちらかを1出力年に共通接続し、出力パッ ド数が従来の1/2程度に減少したことにより、製品紙

み立て後の検査時のテストパッドへの針当て精度が向上 し、試験にスを低減でき製品が留りが向上する。

して、アナログスイッチを各出力同路毎に設け、アナロ Cのテスト同路によれば、上記効果に加えて、内部回路 と出力パッド(出力端子)間を電気的に切り離す手段と **グスイッチを1回样にデコードする手段を内部回路のシ** フト回路の川力信号(シフトパルス信号)を流用するこ とにより、特別なデコード同路が不必要になり低コスト 【0042】更に本発明の実施の形態に係るドライバ1 なテスト回路を実現できる。

の去喪に配線パターンを設ければ、脊数側および偶数側 のテスト用パッド間をそれぞれ共通接続可能になり、同 【0043】 垣、アメト田バッドの春枝は高数宮のアス ト用パッド間を共通狡約し、冷数側のテスト用パッドを 単独に配置しても同様に効果を実現できる。またTCP 读の効果を期待できる。

スプレイデバイスを駆動するドライバ1 C全般に適用で 【0044】尚、本発明は、液晶パネルに限らず、ディ きることは勿論である。

[0045]

[発明の効果] 請永頃1に記載の発明によれば、ドライ・ べ1 Cの内部回路と出力ベッドとの間を他気的に切職し 可能にしたので、ドライバICとTCPとの間の接続状 態を簡易な手法でテストすることが可能となる。

ト用バッドの配置を、内部同路の配列順により苔数番目 【0046】また静水頂1に記載の発明によれば、テス の方部回路と自教参用の内部回路に対応されてデメト用 パッドを区分けし、高数番目の内部回路と個数番目の内 を増加することなく、すなわちTCPのコストの上昇を **肧くことなく、テスト用パッド数を低減でき、それ故製** 品組立後の敵食時のテスト用バッドに対するプロープ用 針の針当て精度の向上が図れ、故歌ミスを低減でき、嬰 部回路の何れか、ガに対応して改けられたデスト用パッ ド間を共通に接続するようにしたので、TCPのサイズ 品の歩留りの向上が図れる。

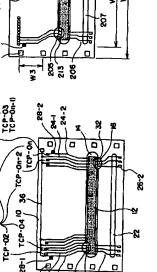
に記載の効果に加えて、ドライ パ1 Cの各内部回路と出 カパッドとの間を粗気的に切り離す手段として、アナロ **グスイッチを各々、設け、アナログスイッチを1同路将** ナログスイッチを特定のタイミングで動作させるための 特別なデコーダ回路が不要となり、低コストのドライバ 【0047】請水頂2に記載の発明によれば、請水項1 (シフトパルス信号) を満用するようにしたので、各ア にデュードするのに内部回路のシフト回路の川力信号 I Cのテスト同路を実現することができる。

【0040】以上に成明したように、本発明の実施の形

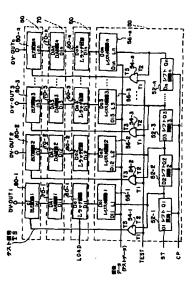
俺に係るドライバI Cのテスト同路及びデストが法によ れば、ドライバICの川力同路部に内部回路と川力パッ |図出の無理な説型|

[図1]本発明が適用される液晶ドライベICのTCP Nの実装形態をパナ説明図。 [図2] 本発明の実施の形態に係るドライバ1 Cのテス ト回路の構成を示すプロック図。 【図3】図2における出力回路周辺の回路構成を示す回。

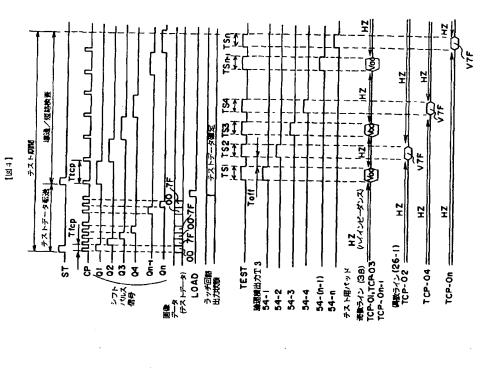
8 シフトレジスタ回路時 [区区] DA変換回路部 õ ラッチ回路部 ドライベIC コン回路部 TCP 90 0 9 2 0 【図4】図2に示すドライバI Cのテスト回路の動作状 [図5] 従来の液晶ドライバI CのTCPへの実装形態 9-10 値を示すタイミングチャート を示す説明図 [符号の説明]



区区



[83]



フロントベージの税き

F ターム(参考) 26003 AA07 AB18 AG09 AG12 AG13 AH01 AH05 2G01-1 AA01 AB20 AB21 AB51 AC06 AC10 AC14 AC18 2G032 AA01 AA04 AA07 AA09 AC03 AD08 AE07 AE08 AE11 AE12 AG01 AG02 AG04 AH07 AK16 AL03 AL04